

DOCKET NO. 45475-000

99-58164

PATENT APPLICATION



In re application of:

Sean Timothy Crowley et al.

Application No.

09/687,495

Filed:

October 13, 2000

For:

SEMICONDUCTOR PACKAGE

Group No.

2812

Examiner:

(Not Yet Known)

CERTIFICATE OF MAILING BY EXPRESS MAIL

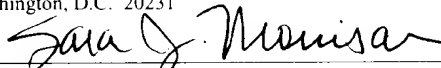
EXPRESS MAIL LABEL NO.: EL 058 666 061 US

Date of Deposit: March 23, 2001

I hereby certify that this document, including the documents referred to therein, is being deposited with the United States Postal Service as "Express Mail Post Office to Addressee" service under 37 C.F.R. § 1.10 on the date indicated above and is addressed to:

BOX MISSING PARTS

Commissioner of Patents and Trademarks,
Washington, D.C. 20231


Signature: Sara J. Morrison

BOX MISSING PARTS

Assistant Commissioner for Patents

Washington, D.C. 20231

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

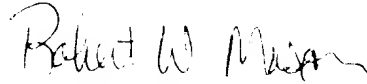
Under the provisions of 35 U.S.C. 119 Applicants hereby claim the priority of Korean patent application No. 1999-58164, filed on October 15, 1999, which is identified in the declaration of the

DOCKET NO. 45475-0001
99-58164

PATENT APPLICATION

above-identified application. A certified copy of the priority document is filed herewith.

Respectfully submitted,



Robert W. Mason
Reg. No.: 42,848

Submitted: March 23, 2001

JENKENS & GILCHRIST, P.C.
1445 Ross Avenue, Suite 3200
Dallas, Texas 75202
Telephone: 214-855-4713
Facsimile: 214-855-4300

:sjm
Enclosure



대한민국 특허청

KOREAN INDUSTRIAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 1999년 제 58164 호
Application Number

출원년월일 : 1999년 12월 16일
Date of Application

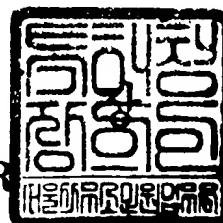
출원인 : 앰코 테크놀로지 코리아 주식회사 외 1명
Applicant(s)



2000 년 08 월 28 일

특 허 청

COMMISSIONER



출력 일자: 2000/8/30

【서류명】	출원인명의변경신고서
【수신처】	특허청장
【제출일자】	2000.05.02
【구명의인】	
【명칭】	아남반도체 주식회사
【출원인코드】	119980026719
【신명의인】	
【성명】	엠코 테크놀로지 코리아 주식회사
【출원인코드】	119990323911
【대리인】	
【성명】	주성민
【대리인코드】	919980005177
【대리인】	
【성명】	장수길
【대리인코드】	919980004828
【사건의 표시】	
【출원번호】	1019990058164
【출원일자】	1999. 12. 16
【발명(고안)의 명칭】	반도체패키지
【변경원인】	전부양도
【취지】	특허법 제38조제4항·실용신안법 제20조·의장법 제24조 및 상표법 제12조제1항의 규정에 의하여 위와 같이 신고합니다 .
【수수료】	13000
【첨부서류】	양도증(사본은동일자로제출되는특허번호제10-70556호의권 리의이전등록신청서에첨부된것을원용함)1통 인감증명서((양도인의법인인감증명서)사본은동일자로제출되는특허번호제 10-70556호의권리의이전등록신청서에첨부된것을원용함)1통 위임장((양도인,양수인)사본은동일자로제출되는특허번호제 10-70556호의권리의이전등록신청서에첨부된것을원용함)2통 동의서(사본은동일자로제출되는특허번호제10-128164호의권 리의이전등록신청서에첨부된것을원용함)1통

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	1999. 12. 16
【발명의 명칭】	반도체패키지
【발명의 영문명칭】	semiconductor package
【출원인】	
【명칭】	암코 테크놀로지, 아이엔씨
【출원인코드】	5-1998-072806-8
【출원인】	
【명칭】	아남반도체주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【성명】	서만규
【대리인코드】	9-1998-000260-4
【포괄위임등록번호】	1999-045485-8
【포괄위임등록번호】	1999-066347-8
【발명자】	
【성명의 국문표기】	크라울리 썬 티모티
【성명의 영문표기】	CROWLEY, Sean timothy
【주소】	미합중국 아리조나 85048 마리코파 컨트리 포에닉스 이스 트 디저트트 럼펫 826
【국적】	US
【발명자】	
【성명의 국문표기】	알바레즈 엔젤 오라부레나
【성명의 영문표기】	ALVAREZ, Angel orabuena
【주소】	미합중국 아리조나 85233 마리코파 컨트리 길버트 싸우스 캐피스트라 노 드라이브 837
【국적】	US
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 서만 규 (인)

【수수료】

【기본출원료】	15	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	0	항	0	원
---------	---	---	---	---

【합계】	29,000	원		
------	--------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】

【요약】

이 발명은 반도체패키지에 관한 것으로, 종래의 반도체패키지가 갖는 풋프린트 (foot print)를 그대로 사용하면서도 더욱 큰 반도체칩을 탑재할 수 있고, 칩탑재판과 봉지재로 형성된 몸체와의 락킹력(locking strength)을 향상시키며, 반도체칩의 열방출 성능을 향상시키기 위해, 상면에 다수의 입출력패드가 형성된 반도체칩과; 상기 반도체칩의 저면에 접착제로 접착된 칩탑재판과; 상기 칩탑재판의 외주연에 일정거리 이격되어 형성되어 있되, 상기 칩탑재판을 향하는 단부에는 에칭부가 형성되어 있는 다수의 내부리드와; 상기 반도체칩의 입출력패드와 내부리드를 전기적으로 접속하는 도전성와이어와; 상기 반도체칩, 도전성와이어, 칩탑재판 및 내부리드 등이 봉지재로 봉지되어 있되, 상기 칩탑재판 및 내부리드의 저면이 외부로 노출되도록 형성된 몸체를 포함하여 이루어진 반도체패키지.

【대표도】

도 2a

【명세서】**【발명의 명칭】**

반도체패키지{semiconductor package}

【도면의 간단한 설명】

도1a 및 도1b는 종래의 반도체패키지를 도시한 단면도 및 저면도이다.

도2a 및 도2b는 본 발명에 의한 반도체패키지를 도시한 단면도 및 몸체가 제거된 상태를 도시한 사시도이다.

도3a 내지 도3c는 본 발명에 의한 다른 반도체패키지를 도시한 단면도이다.

- 도면중 주요 부호에 대한 설명 -

100, 101, 102, 103; 본 발명에 의한 반도체패키지

2; 반도체칩 2a; 입출력패드

3a; 접착제 4; 칩탑재판

6; 내부리드 4a, 6a; 에칭부

8; 도전성와이어 10; 몸체

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체패키지에 관한 것으로, 보다 상세하게 설명하면 종래의 반도체패키지가 갖는 풋프린트(foot print)를 그대로 사용하면서도 더욱 큰 반도체칩을 탑재할 수 있고, 칩탑재판과 봉지재로 형성된 몸체와의 락킹력(locking strength)을 향상시키며

, 반도체칩의 열방출 성능을 향상시킬 수 있는 반도체패키지에 관한 것이다.

<11> 초소형의 전자부품 회로 설계에서는 많은 수의 반도체칩들이 패키징되어 최소시간 내에 그것들이 다기능을 수행할 수 있도록 상호 연결되는 것이 바람직하다. 그리고, 반도체칩이 고집적화됨에 따라 반도체패키지의 실장 기술도 점차 고밀도화로 변화되고 있다.

<12> 즉, 전자기기의 고속화, 소형화 및 다기능화의 요구는 기억 용량의 확대에 따른 반도체칩 크기의 대형화, 실장 밀도의 향상을 위한 반도체패키지의 박형화, 다핀화를 만족시키는 효율적인 대형 반도체칩의 탑재 방법 및 실장 능력을 높이는 기술 개발을 요구하고 있다.

<13> 도1a 및 도1b는 종래 통상적인 표면 실장형 반도체패키지로서 SOIC형(Small Outline Integrated Circuit type) 반도체 패키지를 도시한 단면도 및 저면도이다. 이밖에도 SOJ형(Small Outline J-bend type), SOP형(Small Outline Package type), QFP형(Quad Flat Package) 반도체패키지 등이 있으나 이들의 내부 구조는 모두 유사한 구조로 형성되어 있으며, 이들의 차이는 반도체패키지의 절곡된 형에 의한 구분이므로, 이 중에서 도1a 및 도1b에 도시된 SOIC형 반도체패키지를 중심으로 종래 기술을 설명한다.

<14> 먼저, 상면에 다수의 입출력패드(2a)가 형성된 반도체칩(2)이 구비되어 있고, 상기 반도체칩(2)은 도전성 또는 비도전성의 접착제(3) 의해 칩탑재판(4)에 접착되어 있다. 상기 반도체칩(2)의 양측면에는 일정 거리 이격되어 다수의 내부리드(6)가 위치되어 있고, 상기 내부리드(6)에 연장되어서는 대략 갈매기 날개형으로 절곡된 외부리드(7)가 형성되어 있다. 상기 반도체칩(2)의 입출력패드(2a)와 내부리드(6)는 골드와이어나 알루미늄와이어와 같은 도전성와이어(8)에 의해 전기적으로 상호 접속되어 있다.

- <15> 한편, 상기 반도체칩(2), 칩탑재판(4), 도전성와이어(8) 및 내부리드(6)는 외부의 먼지, 열, 습기, 전기적, 기계적 부하등 각종 외부 요인에 의한 파손을 방지하기 위해 에폭시 수지 또는 수지계 성형 재료인 봉지재로 봉지되어 소정의 몸체(10)를 형성하고 있다.
- <16> 여기서, 상기 칩탑재판(4), 내부리드(6) 및 외부리드(7) 등은 통상 구리(Cu) 또는 알루미늄(alloy) 42에 의해 제조된 것들이며, 이들을 리드프레임이라고 한다.
- <17> 또한, 상기 내부리드(6)의 상면에는 도전성와이어(8)와의 본딩력을 향상시키기 위해 은(Ag)이 도금되어 있고, 마더보드에 솔더(solder) 등에 의해 용착되는 외부리드(7)에는 니켈(Ni), 주석(Sn) 및 팔라듐(Pd) 등이 도금되어 있다.
- <18> 이상에서와 같은 구조로 이루어진 종래의 반도체패키지에서는, 칩탑재판이 반도체칩의 크기보다 큰 영역을 점유하고 있으며, 칩탑재판 주변의 내부 리드들이 상기 칩탑재판 또는 각각의 내부리드와 서로 일정한 간격으로 유지되어 있기 때문에, 대형 크기의 반도체칩 탑재를 위한 공간의 확보가 어렵게 되어 있다.
- <19> 더불어, 상기 반도체패키지에 형성된 외부리드가 반도체패키지의 좌우 측면 두방향 또는 전후좌우 측면의 네방향으로 빠져나와 형성되기 때문에, 이러한 반도체패키지를 마더보드에 실장할 경우, 상기 반도체패키지들의 마더보드에서 상당 영역을 차지하게 되어 실장밀도를 감소시키는 것은 물론, 마더보드에 형성되는 전기적 패턴의 설계 여유도를 감소시키는 문제점이 있게 된다.
- <20> 또한, 상기와 같은 반도체패키지에 대형 반도체칩을 탑재할 경우에는 그 리드프레임의 크기 자체 즉, 반도체패키지의 크기 자체가 커지게 됨으로써, 마더보드에서의 실장

밀도를 저하시키는 물론, 그 마더보드의 크기를 대형화하게 되며, 더불어 상기 반도체패키지의 외부리드가 융착되는 마더보드의 풋프린트 영역을 다시 설계해야만 하는 문제점이 있다.

<21> 또한, 상기 반도체칩은 봉지재로 형성된 몸체에 의해 완전히 밀봉됨으로써 그 반도체칩에서 발생하는 열의 방출성능이 현저히 저하되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<22> 따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 종래의 반도체패키지가 갖는 풋프린트(foot print) 영역을 그대로 사용하면서도 더욱 큰 반도체칩을 탑재할 수 있고, 칩탑재판과 봉지재의 락킹력(locking strength)을 향상시킬 수 있음은 물론, 반도체칩의 열방출 성능을 향상시킬 수 있는 반도체패키지의 제공에 있다.

【발명의 구성 및 작용】

<23> 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 상면에 다수의 입출력패드가 형성된 반도체칩과; 상기 반도체칩의 저면에 접착제로 접착된 칩탑재판과; 상기 칩탑재판의 외주연에 일정거리 이격되어 형성되어 있되, 상기 칩탑재판을 향하는 단부에는 에칭부가 형성되어 있는 다수의 내부리드와; 상기 반도체칩의 입출력패드와 내부리드를 전기적으로 접속하는 도전성와이어와; 상기 반도체칩, 도전성와이어, 칩탑재판 및 내부리드 등이 봉지재로 봉지되어 있되, 상기 칩탑재판 및 내부리드의 저면이 외부로 노출되도록 형성된 몸체를 포함하여 이루어진 것을 특징으로 한다.

<24> 상기 칩탑재판은 저면에 전체 면적의 대략 10~90%에 해당하는 부분이 에칭부로 되

어 있고, 상기 에칭부는 몸체 내측에 위치됨이 바람직하다.

<25> 상기 칩탑재판은 내부리드의 저면과 동일면을 형성하며, 칩탑재판의 두께는 내부리드의 두께보다 더 두껍게 형성될 수 있다.

<26> 상기와 같이 하여 본 발명에 의한 반도체패키지에 의하면, 반도체패키지의 전체 크기는 종래의 SOIC형 반도체패키지와 같은 크기를 가지면서도 탑재되는 반도체칩의 크기는 대략 3.5배의 것을 사용할 수 있는 장점이 있다.

<27> 또한, 본 발명에 의한 반도체패키지에서 내부리드의 저면 즉, 랜드가 형성된 위치는 종래 SOIC형 반도체패키지에서 외부리드가 마더보드에 용착되는 위치와 동일하게 형성할 수 있음으로써 종래의 풋프린트 영역을 그대로 사용할 수 있는 장점이 있다. 이는 곧 마더보드에 설계 변경을 하지 않아도 됨을 의미한다.

<28> 또한, 반도체칩이 탑재되는 칩탑재판의 저면이 몸체 외부로 직접 노출됨으로써 반도체칩의 열 방출 성능이 향상됨은 물론, 칩탑재판의 측면에 에칭부를 형성함으로써 몸체와의 락킹력을 보강할 수 있고, 봉지 공정중에는 봉지재의 유동성을 향상시키며 또한 습기 침투 경로를 길게 하여 반도체패키지의 습기에 의한 영향을 최소화하게 된다.

<29> 이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

<30> 도2a 및 도2b는 본 발명에 의한 반도체패키지(100)를 도시한 단면도 및 몸체를 제거한 상태의 반도체패키지를 도시한 사시도이다.

<31> 도시된 바와 같이 상면에 다수의 입출력패드(2a)가 형성된 반도체칩(2)이 구비되어

있고, 상기 반도체칩(2)은 도전성 또는 비도전성의 접착제(3a)에 의해 칩탑재판(4) 상면에 접착되어 있다.

<32> 상기 칩탑재판(4)의 외주연에는 일정거리 이격되어 다수의 내부리드(6)가 형성되어 있다. 상기 내부리드(6)의 저면 및 상면은 상기 칩탑재판(4)의 저면 및 상면과 동일면을 유지하도록 그 두께가 상기 칩탑재판(4)의 두께와 같게 형성되어 있다. 또한 차후 봉지재로 형성된 몸체(10)와의 락킹력을 증가시키기 위해 상기 칩탑재판(4)을 향하는 내부리드(6)의 단부에는 에칭부(6a)가 형성되어 그 두께가 내부리드(6)보다 작게 형성되어 있다. 물론, 상기 칩탑재판(4)의 둘레 저면에도 전체 면적의 대략 10~90%에 해당하는 크기로 에칭부(4a)를 형성하여 그 몸체(10)와 락킹력을 증가시킴은 물론, 봉지 공정중 봉지재의 유동성을 향상시키고 또한 습기 침투 경로가 길어짐으로써 반도체패키지의 습기에 의한 영향을 최소화한다.

<33> 상기 반도체칩(2)의 입출력패드(2a)와 내부리드(6)는 골드와이어 또는 알루미늄와이어와 같은 도전성와이어(8)에 의해 전기적으로 상호 접속되어 있다.

<34> 상기 반도체칩(2), 도전성와이어(8), 칩탑재판(4) 및 내부리드(6) 등은 봉지재로 봉지되어 소정의 몸체(10)를 형성하고 있다. 상기 칩탑재판(4) 및 내부리드(6)의 저면은 몸체(10)의 저면과 동일면을 형성하며 외부로 노출됨으로써 반도체칩(2)의 열이 외부로 용이하게 방출될 수 있도록 되어 있다.

<35> 여기서, 상기 칩탑재판(4), 내부리드(6) 등은 구리 또는 얼로이 42 등으로 형성된다.

<36> 한편, 상기 봉지재로 형성된 몸체(10)의 측면은 내부리드(6)의 단부와 동일면을 이

루도록 형성되어 있다. 이는 몸체(10)의 체적을 최대로 확보하여 반도체칩(2)이나 도전성와이어(8) 등을 안전하게 보호하고, 또한 락킹력을 최대한 확보하기 위함이다.

<37> 도3a 내지 도3c는 본 발명에 의한 다른 반도체패키지들(101,102,103)을 도시한 단면도이다. 여기서, 상기 반도체패키지들은 본 발명의 제1실시예와 모두 유사하므로 차이점만을 중심으로 설명한다.

<38> 먼저 도3a에 도시된 반도체패키지(101)와 같이 칩탑재판(4)의 에칭부(4a)를 칩탑재판의 전체 넓이 또는 길이에 비하여 대략 10~90% 정도까지 형성할 수 있다. 이와 같이 에칭부(4a)의 형성 면적을 크게 해주면 상기 에칭부(4a) 및 몸체(10) 상호간의 접촉면적이 커짐으로써 락킹력이 증가되는 효과가 있다.

<39> 또한 봉지 공정중에는 봉지재가 용이하게 흐를수 있도록 하여 그 봉지재의 유동성을 향상시키고, 반도체패키지의 완성 후에는 습기침투 경로를 길게 함으로써 반도체패키지의 습기 침투에 의한 영향 예를 들면 계면박리, 팝콘 현상 등을 억제하게 된다.

<40> 한편, 도3b에 도시된 반도체패키지(102)와 같이 칩탑재판(4)에 에칭부를 형성하지 않을 수도 있다. 이와 같은 경우에는 비록 몸체(10)와의 락킹력은 떨어지지만 몸체(10) 저면으로 노출된 칩탑재판(4)의 면적이 상대적으로 넓음으로써 반도체칩(2)에서 발생되는 열을 용이하게 방출할 수 있게 된다.

<41> 또한 도3c에 도시된 반도체패키지(103)와 같이 칩탑재판(4)과 내부리드(6)의 두께를 서로 다르게 형성할 수도 있다. 즉, 칩탑재판(4)과 내부리드(6)의 저면은 동일면을 이루지만, 상기 칩탑재판(4)의 상면이 내부리드(6)의 상면보다 위에 위치하도록 할 수 있다. 이때, 상기 칩탑재판(4)의 두께를 내부리드(6)의 두께에 비하여 1.1~2.5배에 이르

도록 함이 바람직하다. 또한, 상기 칩탑재판(4)에 형성되는 에칭부(4a)에 의해 형성되는 공간이 대략 내부리드(6)의 두께와 유사하게 형성되도록 함으로써 몸체(10)와의 락킹력을 월등히 향상시킬 수 있고, 또한 봉지 공정중 봉지재의 유동성도 월등히 향상시킬 수 있다. 또한 그 락킹력을 더욱 증가시키기 위해 상기 에칭부(4a)를 칩탑재판의 전체 넓이 또는 길이에 비하여 대략 10~90% 정도까지 형성함이 바람직하다.

<42> 한편, 도면에 도시하지는 않았지만, 본 발명의 제1실시에 내지 제4실시에에서 이용된 반도체칩(2)은 내부리드(6)의 상면까지 연장된 것을 이용할 수 있다. 즉, 칩탑재판(4)의 상면과 내부리드(6)의 상면이 동일면이거나 또는 내부리드(6)가 칩탑재판(4)보다 하부에 위치함으로써 종래와 같이 반도체칩(2)의 크기에 제한받지 않고 탑재할 수 있는 것이다. 이때, 상기 반도체칩(2)과 칩탑재판(4) 또는 내부리드(6)를 접착하는 접착제는 비전도성의 접착테이프를 이용함이 바람직하다.

<43> 이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

【발명의 효과】

<44> 상기와 같이 하여 본 발명에 의한 반도체패키지에 의하면, 반도체패키지의 전체 크기는 종래의 SOIC형 반도체패키지와 같은 크기를 가지면서도 탑재되는 반도체칩의 크기는 대략 3.5배의 것을 사용할 수 있는 효과가 있다.

<45> 또한, 본 발명에 의한 반도체패키지에서 내부리드의 저면 즉, 랜드가 형성된 위치는 종래 SOIC형 반도체패키지에서 외부리드가 마더보드에 용착되는 위치와 동일하게 형

성할 수 있음으로써 종래의 풋프린트 영역을 그대로 사용할 수 있는 효과가 있다.

<46> 또한, 반도체칩이 탑재되는 칩탑재판의 저면이 몸체 외부로 직접 노출됨으로써 반도체칩의 열 방출 성능이 향상됨은 물론, 칩탑재판의 측면에 에칭부를 형성함으로써 몸체와의 락킹력을 보강할 수 있고, 봉지 공정중에는 봉지재의 유동성을 향상시키며 또한 습기 침투 경로를 길게 하여 반도체패키지의 습기에 의한 영향을 최소화할 수 있는 효과가 있다.

【특허 청구범위】**【청구항 1】**

상면에 다수의 입출력패드가 형성된 반도체칩과;

상기 반도체칩의 저면에 접착제로 접착된 칩탑재판과;

상기 칩탑재판의 외주연에 일정거리 이격되어 형성되어 있되, 상기 칩탑재판을 향하는 단부에는 에칭부가 형성되어 있는 다수의 내부리드와;

상기 반도체칩의 입출력패드와 내부리드를 전기적으로 접속하는 도전성와이어와;

상기 반도체칩, 도전성와이어, 칩탑재판 및 내부리드 등이 봉지재로 봉지되어 있되, 상기 칩탑재판 및 내부리드의 저면이 외부로 노출되도록 형성된 몸체를 포함하여 이루어진 반도체패키지.

【청구항 2】

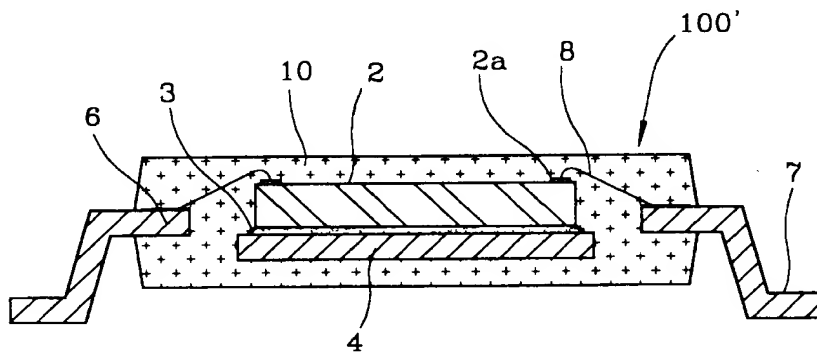
제1항에 있어서, 상기 칩탑재판은 저면에 전체 면적의 대략 10~90%에 해당하는 부분이 에칭부로 되어 있고, 상기 에칭부는 몸체 내측에 위치된 것을 특징으로 하는 반도체패키지.

【청구항 3】

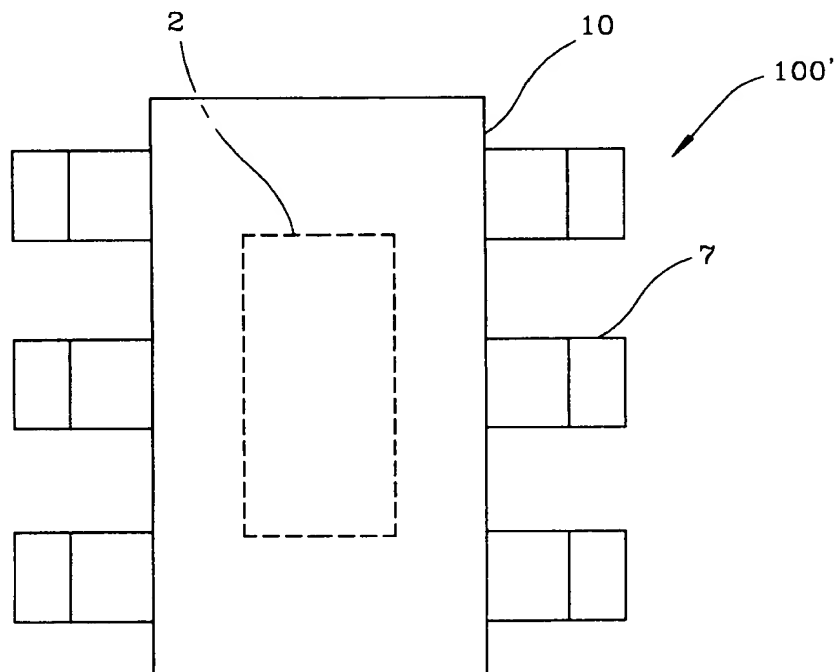
제1항 또는 제2항중 어느 한 항에 있어서, 상기 칩탑재판은 내부리드의 저면과 동일면을 형성하며, 칩탑재판의 두께는 내부리드의 두께보다 더 두껍게 형성된 것을 특징으로 하는 반도체패키지.

【도면】

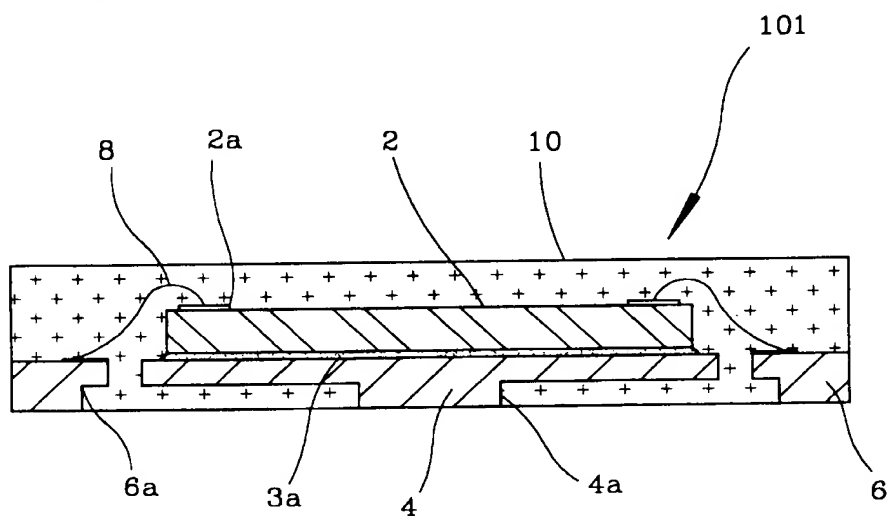
【도 1a】



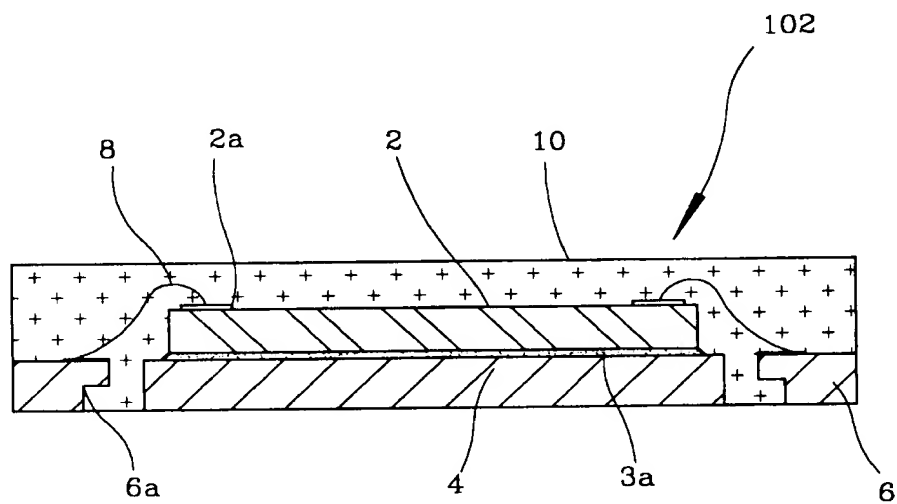
【도 1b】



【도 3a】



【도 3b】



【도 3c】

